



## UNIVERSIDADE FEDERAL DE UBERLÂNDIA

### Faculdade de Computação

Av. João Naves de Ávila, nº 2121, Bloco 1A - Bairro Santa Mônica, Uberlândia-MG, CEP 38400-902

Telefone: (34) 3239-4144 - <http://www.portal.facom.ufu.br/> [facom@ufu.br](mailto:facom@ufu.br)



## PLANO DE ENSINO

### 1. IDENTIFICAÇÃO

Componente Curricular:	<b>Arquitetura e Organização de Computadores 2</b>					
Unidade Ofertante:	<b>Faculdade de Computação</b>					
Código:	<b>GBC046</b>	Período/Série:	<b>4º</b>		Turma:	C
Carga Horária:				Natureza:		
Teórica:	30	Prática:	30	Total:	60	Obrigatória: (X)
Optativa:						( )
Professor(A):	<b>Claudio Camargo Rodrigues</b>				Ano/Semestre:	2021-2
Observações:						

### 2. EMENTA

Abstrações e Tecnologias Computacionais; Avaliação de Desempenho de Arquiteturas de Computadores; Introdução; Conjunto de Instruções; Arquitetura MIPS; Aritmética de Computadores MIPS; Processador MIPS- Data Path e Unid. de Controle; Processador MIPS- Pipeline; Arquiteturas Superescalares; Arquiteturas para Baixo Nível de Consumo de Energia.

### 3. JUSTIFICATIVA

A disciplina de Arquitetura e Organização de Computadores 2 visa consolidar o conhecimento do aluno acerca do funcionamento e aspectos construtivos de computadores. Para tal aspectos que impactam desempenho em sistemas computacionais são estudados em detalhes, tal como pipelining, execução preditiva e especulativa e arquiteturas multicore.

### 4. OBJETIVO

#### Objetivo Geral:

- Conhecer e utilizar mecanismos de avaliação de desempenho de arquiteturas de computadores bem como comparar arquiteturas de computadores sob o ponto de vista do desempenho;
- dominar as técnicas básicas de projeto, controle e implementação de "pipelines" em arquiteturas de computadores modernas;

#### Objetivos Específicos:

- dominar as principais técnicas de execução de operações aritméticas no "hardware" para números inteiros e reais;
- reconhecer as relações fundamentais existentes entre o "hardware" e o "software" em arquiteturas de computadores modernas;
- compreender os mecanismos de projetos em arquiteturas modernas de computadores.

### 5. PROGRAMA

#### Parte I - Visão Abrangente da Organização de Computadores

##### Capítulo 01 - Introdução;

Capítulo 02 - Análise de Desempenho de Computadores;

### Parte II - Arquitetura de Processadores

Capítulo 03 - Arquitetura do Conjunto de Instruções

Capítulo 04 - Arquitetura RISC - Estudo de Caso: MIPS

### Parte III - Microarquitetura de Processadores

Capítulo 05 - Projeto da Microarquitetura de um Processador;

Capítulo 06 - Projeto da Unidade Operacional; Datapath Monociclo; Datapath Multiciclo;

Capítulo 07 - Projeto da Unidade de Controle; Controle Hardwired; Controle Microprogramado;

Capítulo 08 - Técnicas para aumento de desempenho; Pipeline; Previsão de Desvios; Paralelismos em Nível de Instruções; Execução Especulativa

### Parte IV - Arquiteturas Avançadas

Capítulo 09 - Arquiteturas Superescalares;

Capítulo 10 - Arquiteturas VLIW;

Capítulo 11 - Arquiteturas para Baixo Consumo de Energia;

Capítulo 12 - Arquiteturas Paralelas;

Capítulo 13 - Processadores Digitais de Sinais (DSP);

Capítulo 14 - Microcontroladores;

Parte VI - Projetos Para o Ensino de Organização e Arquitetura de Computadores;

## 6. METODOLOGIA

- O conteúdo será apresentado na forma expositiva.
- Os conceitos serão explorados em listas de exercícios e atividades de laboratório.
- O aprendizado será estimulado em projetos de implementação de sistemas.
- O aprendizado será avaliado através de provas, trabalhos práticos e exercícios conceituais.

### Cronograma das Atividades Presenciais:

Semana	Conteúdo/Descrição	Carga Horária
1ª	Parte I - Visão Abrangente da Organização de Computadores Capítulo 01 - Introdução;	4
2ª	Capítulo 02 - Análise de Desempenho de Computadores;	4
3ª	Capítulo 02 - Análise de Desempenho de Computadores;	4
4ª	Parte II - Arquitetura de Processadores Capítulo 03 - Projeto da Arquitetura do Conjunto de Instruções	4
5ª	Capítulo 03 - Projeto da Arquitetura do Conjunto de Instruções	4
6ª	Capítulo 04 - Arquitetura RISC	4
7ª	Parte III - Microarquitetura de Processadores Capítulo 05 - Projeto do Processador; Projeto da Unidade Operacional;	4
8ª	Capítulo 06 - Datapath Monociclo ; Datapath Multiciclo <b>1a. Avaliação</b>	4
9ª	Capítulo 07 - Projeto da Unidade de Controle; Controle Hardwired; Controle Microprogramado	4
10ª	Capítulo 08 - Técnicas para aumento de desempenho; Pipeline; Previsão de Desvios; Paralelismos em Nível de Instruções; Execução Especulativa	4
11ª	Capítulo 08 - Técnicas para aumento de desempenho; Pipeline; Previsão de Desvios; Paralelismos em Nível de Instruções; Execução Especulativa	4
12ª	Capítulo 08 - Técnicas para aumento de desempenho; Pipeline; Previsão de Desvios; Paralelismos em Nível de Instruções; Execução Especulativa <b>2a. Avaliação</b>	4
13ª	Parte IV - Arquiteturas Avançadas Capítulo 09 - Arquiteturas Superescalares;	4
14ª	Capítulo 10 - Arquiteturas VLIW;	4
15ª	Capítulo 11 - Arquiteturas para Baixo Consumo de Energia;	4
16ª	Capítulo 12 - Arquiteturas Paralelas;	4

17ª	<b>3a. Avaliação</b>	4
<b>Carga Horária Total da Atividades Síncronas:</b>		<b>68</b>

### Cronograma das Atividades Assíncronas:

Semana	Conteúdo/Descrição	Carga Horária
1ª	Estudo de Caso: MIPS	2
5ª	Estudo de Caso: Pipelining & Superscalar	2
9ª	Estudo de Caso: Crusoé	2
13ª	Estudo de Caso: GPUs	2
<b>Carga Horária Total da Atividades Assíncronas:</b>		<b>8</b>

Plataforma MS Teams - equipe: AOC2 - canal: Projetos

## 7. AVALIAÇÃO

Os estudantes serão avaliados pelo seu entendimento dos conceitos apresentados em sala de aula, sua habilidade de aplicar estes conceitos em problemas exercícios e outros projetos.

A avaliação final será determinada pela seguinte distribuição:

- 3 Listas de Exercícios 15%
- 3 Projetos de pesquisa com apresentação dos resultados: 15%
- 3 Provas 70%

O conteúdo para cada prova de avaliação será acumulativo.

Cada atividade de avaliação proposta terá uma data limite para sua submissão ao avaliador. Trabalhos submetidos com atraso serão aceitos, mas serão penalizados em 20% do valor total pelo atraso e mais um ponto a cada dia de atraso segundo juízo do instrutor. Como mecanismo de recuperação de avaliação de aprendizagem será aplicado uma prova exame aos discentes que estiverem com o seu rendimento no intervalo de [45 a 59.99] pontos. A prova exame contemplará todo o conteúdo da disciplina.

## 8. BIBLIOGRAFIA

### Básica

Arquitetura e Organização de Computadores: Uma abordagem quantitativa - Patterson, David A. Hennessy, John L. - 5 ed. Ed. Campus, 2014.

### Complementar

Arquitetura e Organização de Computadores - William Stallings - Prentice Hall, 5a. Edição, 2001.

Organização Estruturada de Computadores - Andrew Tannenbaum - Prentice Hall, 4a. Edição, 1999.

Computer architecture and organization - Hayes, John P. - 3.ed. New York: McGraw Hill, 1988.

## 9. APROVAÇÃO

Aprovado em reunião do Colegiado realizada em: \_\_\_\_/\_\_\_\_/\_\_\_\_

Coordenação do Curso de Graduação: \_\_\_\_\_