


UNIVERSIDADE FEDERAL DE UBERLÂNDIA
Faculdade de Computação

Av. João Naves de Ávila, 2121, Bloco 1B - Bairro Santa Mônica, Uberlândia-MG, CEP 38400-902
 Telefone: (34) 3239-4393 - www.facom.ufu.br - facom@ufu.br


PLANO DE ENSINO
1. IDENTIFICAÇÃO

Componente Curricular:	Arquitetura e Organização de Computadores									
Unidade Ofertante:	FACOM									
Código:	FACOM32303		Período/Série:		3		Turma:		S	
Carga Horária:						Natureza:				
Teórica:	60	Prática:	0	Total:	60	Obrigat ória:	(X)	Optativ a:	()	
Professor(A):	Renato de Aquino Lopes					Ano/Semestre:		2026/2		
Observações:	<p>1 - E-mail institucional do docente: ralopes@ufu.br</p> <p>2 - Ao se matricular na disciplina, o(a) discente declara-se ciente das normas estabelecidas nesse plano de ensino e nas resoluções supracitadas.</p> <p>3 - O(a)s discentes devem conferir o Regimento Geral da Universidade Federal de Uberlândia (http://www0.ufu.br/documentos/legislacao/Regimento_Geral_da_UFU.pdf), especialmente no que diz respeito a fraudes ou comportamento fraudulento observados no Art. 196, do capítulo III do regime disciplinar.</p>									

2. EMENTA

Sistemas numéricos posicionais; álgebra booleana; portas lógicas; suficiência das portas NAND e NOR; códigos binários; complemento de 2; o padrão IEEE754 para ponto flutuante; códigos correção de erros e paridade; circuitos combinacionais: aritméticos, decodificadores e detecção de erros; memórias e circuitos sequenciais; modelo de Mealy e modelo de Moore; máquinas de estados finitos; histórico e evolução dos computadores; a arquitetura von Neumann; visão geral dos sistemas computacionais; a arquitetura do conjunto de instruções; arquiteturas CISC e RISC; linguagem de montagem, montador e ligador; programação em linguagem de montagem; transcrição de programas em linguagem de montagem para código de máquina; treinamento e exemplificação em uma linguagem de montagem específica; comparação com outras arquiteturas e outras linguagens de montagem; organização de computadores em ciclo único de execução; alterações para execução em múltiplos ciclos; avaliar e compreender o desempenho de UCPs; hierarquia de memórias e modelos de memória cache; o conceito de pipelining e seu impacto no desempenho de UCPs.

3. JUSTIFICATIVA

A disciplina de Arquitetura e Organização de Computadores se justifica pelo fato de que ela tem como objetivo ensinar ao aluno de sistemas de informação como processadores são organizados, funcionam e quais quesitos influenciam no desempenho geral de um processador. Ela também é a única disciplina que coloca o aluno de graduação em contato com a linguagem de montagem.

4. OBJETIVO

Objetivo Geral:

Prover ao aluno uma base sólida dos princípios fundamentais que permeiam o funcionamento dos sistemas computacionais modernos como pré-requisito para desenvolver entendimento acerca da especificação, construção e avaliação de processadores modernos.

Objetivos Específicos:

- Apresentar conceitos necessários para uma introdução à área de eletrônica digital;
- Apresentar os conceitos fundamentais de eletrônica digital;
- Contextualizar historicamente o desenvolvimento e evolução dos sistemas computacionais;
- Identificar as principais arquiteturas computacionais, suas peculiaridades e entender como especificar e construir sistematicamente um computador;
- Estudar o impacto no desempenho quando diferentes escolhas de organização de uma mesma arquitetura são tomadas;
- Apresentar os conceitos pipelining e caching no contexto de arquitetura e organização de computadores, pontuando sua necessidade e impacto.

5. PROGRAMA

I. BASE EM ELETRÔNICA DIGITAL

1. Introdução e motivação

2. Sistemas numéricos posicionais

1. Uma visão intuitiva do mecanismo de contagem

2. Sistema binário e hexadecimal

3. Conversões de base

4. Operações aritméticas em binário (soma e subtração)

3. Álgebra booleana e correspondência com portas lógicas

1. Variáveis e funções booleanas

2. Tabelas verdade

3. Portas lógicas

4. Representação de uma função booleana utilizando portas lógicas

5. Correspondência entre tabelas verdade, funções booleanas e diagramas de portas

6. Portas lógicas fundamentais e compostas

7. Suficiência das portas NAND e NOR

4. Códigos numéricos em binário

1. BCD8421

2. ASCII
3. UNICODE
4. Introdução e correção de erros: paridade
5. Código Hamming
5. Representações avançadas em binário
 1. Números inteiros sinalizados: complementos de 1 e 2
 2. Números reais
 3. Representação utilizando a notação de ponto fixo, limitações
 4. Representação utilizando a notação de ponto flutuante (IEEE 754)
 5. Conversão decimal $\leftrightarrow$ float
6. Circuitos combinacionais
 1. Definição de circuitos combinacionais
 2. Circuitos codificadores e decodificadores
 3. Circuitos para detecção de erros
 4. Circuitos aritméticos
 5. Somador e suas variantes (desempenho)
 6. Subtrator
 7. Multiplicador
7. Memórias e circuitos sequenciais
 1. Flip-flops
 2. Latches
 3. Modelos de Mealy e de Moore
 4. Máquinas de estados finitos
 5. Tipos de memórias e suas características

II. ARQUITETURA E ORGANIZAÇÃO DE COMPUTADORES

1. Histórico e evolução dos sistemas computacionais
2. Visão geral da arquitetura von Neumann
3. Organização estruturada de sistemas computacionais modernos
4. Arquitetura do Conjunto de Instruções (ISA – Instruction Set Architecture)

5. Linguagem de montagem, montadores e ligadores

6. Assembly

1. Operações lógicas e aritméticas
2. Controle de fluxo
3. Acesso a memória
4. Chamadas do sistema
5. Suporte a subrotinas
7. Organização de computadores (micro arquitetura) – o caminho de Dados
8. Subsistemas de busca e decodificação de instruções
9. Bancos de registradores e suporte a cache
10. Implementação da organização monociclo
11. Avaliando e compreendendo o desempenho de Unidades Centrais de Processamento (UCP)
12. Considerações acerca da implementação monociclo e introdução a pipelining
13. Pipelining e conceitos associados
14. Modelos de memória cache
15. Interface entre o processador, sistema computacional e sistema operacional

6. **METODOLOGIA**

O conteúdo da disciplina será ministrado por meio de aulas presenciais as terças das 20:50h às 22:30h e sextas das 19:00h às 20:40h até o dia 19/12/2026 totalizando uma carga horária de 72 h/a. O horário das 19:00 às 20:30 das terças será reservado para o atendimento ao aluno na sala 1B125. Para uma melhor organização do atendimento, recomenda-se um agendamento prévio do aluno (por meio do email ralopes@ufu.br ou pela equipe do Microsoft Teams). Além disso, o atendimento poderá ser realizado de forma assíncrona por meio do Microsoft Teams. Os questionamentos feitos de forma assíncrona serão respondidos em até 48h.

6.1.

6.2. **Cronograma de Atividades**

6.3.

Data	Horário	Observações	Modalidade	Conteúdo Previsto	H/A
01/09/2026	20:50h às 22:30h		Presencial	Apresentação Plano de Ensino; Introdução ao Estudo de Arquitetura e Organização de Computadores.	2
04/09/2026	19:00h às 20:40h		Presencial	Sistemas numéricos posicionais.	2
08/09/2026	20:50h às 22:30h		Presencial	Álgebra booleana e correspondência com portas lógicas Conjunto de Instruções:	2

				Operações no hardware do computador.	
11/09/2026	19:40h às 20:40h		Presencial	Códigos numéricos em binário	2
15/09/2026	20:50h às 22:30h		Presencial	Representações avançadas em binário	2
18/09/2026	19:00h às 20:40h		Presencial	Circuitos combinacionais	2
25/09/2026	20:50h às 22:30h		Presencial	Memórias e circuitos sequenciais	2
29/09/2026	19:00h às 20:40h		Presencial	Primeira Prova.	2
02/10/2026	20:50h às 22:30h		Presencial	Histórico e evolução dos sistemas computacionais; Visão geral da arquitetura von Neumann; Organização estruturada de sistemas computacionais modernos	2
06/10/2026	19:00h às 20:40h		Presencial	Arquitetura do Conjunto de Instruções.	2
09/10/2026	20:50h às 22:30h		Presencial	Linguagem de montagem, montadores e ligadores.	2
13/10/2026	19:00h às 20:40h		Presencial	Assembly.	2
16/10/2026	19:00h às 20:40h		Presencial	Organização de computadores (micro arquitetura) – o caminho de Dados.	2
20/10/2026	20:50h às 22:30h		Presencial	Subsistemas de busca e decodificação de instruções.	2
23/10/2026	19:00h às 20:40h		Presencial	Bancos de registradores e suporte a cache.	2
27/10/2026	20:50h às 22:30h		Presencial	Implementação da organização monociclo.	2
27/10/2026		Extra	Presencial	Vista da Primeira Prova.	2
30/10/2026	19:00h às 20:40h		Presencial	Considerações acerca da implementação monociclo e introdução a pipelining.	2
03/11/2026	20:50h às 22:30h		Presencial	Segunda Prova.	2
06/11/2026	19:00h às 20:40h		Presencial	Pipelining e conceitos associados.	2
10/11/2026	20:50h às		Presencial	Pipelining e conceitos associados.	2

	22:30h				
11/11/2026		Extra		Trabalho de Codificação Assembly	4
13/11/2026	19:00h às 20:40h		Presencial	Avaliando e compreendendo o desempenho de Unidades Centrais de Processamento (UCP).	2
17/11/2026	20:50h às 22:30h		Presencial	Modelos de memória cache.	2
17/11/2026		Extra		Vista Segunda Prova.	2
24/11/2026	19:00h às 20:40h		Presencial	Modelos de memória cache.	2
25/11/2026		Extra		Trabalho de Pesquisa.	4
27/11/2026			Presencial	Interface entre o processador, sistema computacional e sistema operacional.	2
01/12/2026	19:00h às 20:40h		Presencial	Interface entre o processador, sistema computacional e sistema operacional.	2
04/12/2026	20:50h às 22:30h		Presencial	Prova 3.	2
08/12/2026	19:00h às 20:40h		Presencial	Vista Terceira Prova	2
11/12/2026	20:50h às 22:30h		Presencial	Aula de dúvidas prova substitutiva.	2
15/12/2026	19:00h às 20:40h		Presencial	Prova Substitutiva.	2
18/12/2026	20:50h às 22:30h		Presencial	Vista Prova substitutiva.	2
Total:					72

6.4.

6.5. **b) Trabalho Acadêmico Efetivo - TAE :**

Serão realizadas 12 h/a em atividades extraclasse e 12 h/a extras destinadas a vista de provas.

A disponibilização dessas atividades poderá ser feita por meio do pacote da Microsoft Office 365, a saber:

- Microsoft Teams para comunicação com os alunos (mensagens, listas de exercícios, links, slides, etc);
- Microsoft OneDrive: para o armazenamento dos materiais produzidos pelos alunos e para os alunos;
- Microsoft Forms: para a elaboração de listas de exercícios;

Demais recursos oferecidos pelo pacote Microsoft 365 que possam facilitar e tornar mais eficiente e atrativa as atividades a serem realizadas nas atividades assíncronas.

Alternativamente, o Moodle poderá ser utilizado em complemento ao Microsoft Office 365.

c) Carga horária prática: Apesar de não haver carga horária prática na disciplina, serão cobrados trabalhos sobre implementação em assembly utilizando o MARS que pode ser obtido no link: <https://courses.missouristate.edu/KenVollmar/MARS/download.htm>.

d) Como e onde os discentes terão acesso às referências bibliográficas: Serão disponibilizados para os alunos slides das aulas e links de material de apoio a serem acessado por meio da internet. Os slides e os links serão disponibilizados utilizando o Microsoft Teams. O código para o aluno entrar na equipe criada no Microsoft Teams é:

81p0946.

7. AVALIAÇÃO

7.1. As avaliações serão realizadas por meio de provas e trabalhos conforme descrito abaixo:

7.2. a) Datas e horários da avaliação:

7.3. Primeira Avaliação 29/09/2026 Valor: 20,0 pontos

7.4. Segunda Avaliação 03/11/2026 Valor: 25,0 pontos

7.5. Terceira Avaliação 04/12/2026 Valor: 25,0 pontos

7.6. Trabalhos Valor: 30,0 pontos

7.7.

Avaliação Substitutiva para discentes com frequência de 75% ou mais e aproveitamento menor que 60%: 15/12/2026 (substitui a nota de uma das provas a escolha do aluno)

b) Critérios para a realização e correção das avaliações: Os critérios a serem utilizados serão: conformidade com o conteúdo visto nas aulas; clareza, emprego correto das regras da língua portuguesa; respeito as datas e horários estabelecidos para entrega e completude nas respostas.

c) Validação da assiduidade dos discentes: A frequência do aluno será aferida pela participação nas aulas presenciais por meio da realização de chamadas.

d) Especificação das formas de envio das atividades extraclasse (assíncronas) pelos discentes, por meio eletrônico: As atividades extraclasse serão realizadas por meio da entrega das tarefas utilizando o Microsoft Teams conforme descrito na seção de metodologia.

8. BIBLIOGRAFIA

Básica

8.1. HENNESSY, J. L.; PATTERSON, D. A. Organização e Projeto de Computadores – A Interface

8.2. Hardware/Software. 3ª ed. São Paulo: Editora Campus, 2014.

8.3.

8.4. STALLINGS, W. Arquitetura e Organização de Computadores. 5ª ed. São Paulo: Prentice Hall, 2010.

8.5.

8.6. TOCCI, R. J.; WIDMER, N. S.; MOSS, G. L. Sistemas Digitais – Princípios e Aplicações. 10ª ed. São Paulo:

8.7. Pearson Prentice Hall, 2011.

Complementar

- 8.8. CAPUANO, F. G.; IDOETA, I. V. Elementos de Eletrônica Digital. 40ª ed. São Paulo: Editora Érica, 2008.
- 8.9.
- 8.10. HENNESSY, J. L.; PATTERSON, D. A. Computer architecture: a quantitative approach. 3rd ed. Amsterdam:
- 8.11. Morgan Kaufman, 2003.
- 8.12.
- 8.13. MONTEIRO, M. A. Introdução à Organização de Computadores. 4ª ed. Rio de Janeiro: LTC, 2001.
- 8.14.
- 8.15. MURDOCCA, M. J. Introdução à arquitetura de computadores. Rio de Janeiro: Campus, 2001.
- 8.16.
- 8.17. TANENBAUM, A. S. Organização Estruturada de Computadores. 5ª ed. São Paulo: Prentice-Hall, 2007.

9. **APROVAÇÃO**

Aprovado em reunião do Colegiado realizada em: ____/____/____

Coordenação do Curso de Graduação: _____